

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-205689

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

H04N 5/335

H01L 27/146

(21)Application number : 10-007599

(71)Applicant : NIKON CORP

(22)Date of filing : 19.01.1998

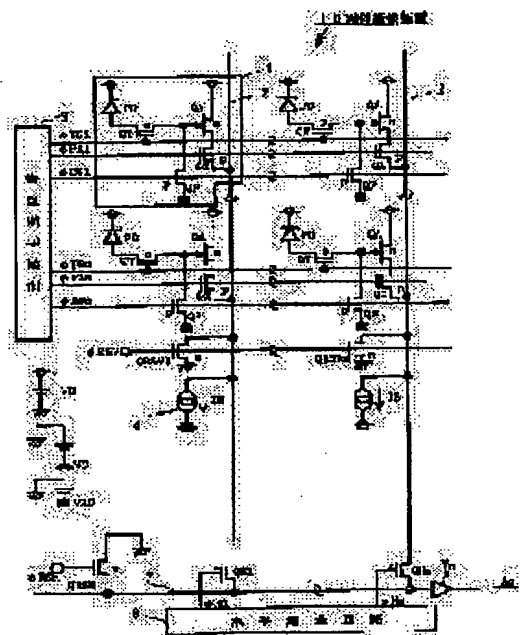
(72)Inventor : YONEYAMA JUICHI  
NOMURA HITOSHI

## (54) SOLID-STATE IMAGE PICKUP DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a solid-state image pickup device with which storage time can be set longer than the cycle of read-out scanning while executing cyclic read-out scanning.

**SOLUTION:** A solid-state image pickup device 10 is provided with plural photodetecting parts PD for generating pixel outputs corresponding to the amount of photodetection, a pixel output holding part QA for holding the pixel output of each photodetecting part and outputting the held pixel output without destroying it, pixel output transfer parts QT and QP for transferring the pixel output from the photodetecting part to the pixel output holding part and updating the pixel output held in the pixel output holding part, and image scanning circuits 2, 3, 7 and 8, QX and QH for scanning the pixel output from the pixel output holding part and generating a frame unit, field unit or image signal composed of one part of that unit. The above pixel output transfer part transfers the pixel output from the photodetecting part to the pixel output holding part once per plural times of scanning by the image scanning circuit.







る3種類の制御パルスφTG2~n、φPX2~n、φRG2~nがそれぞれ供給される。

【0035】上記のm本の垂直駆動線4と、垂直駆動線2には、パルス電圧を供給するための電流源4と、垂直駆動線4と、垂直駆動線2をリセットするためのMOSスイッチQRSV1~mと、水平走査用のMOSスイッチQH1~mとがそれぞれ接続される。このMOSスイッチQRSV1~QRSVmのゲートには、リセットタイミングを制御する制御パルスφRSVが共通に与えられる。このような制御パルスφRSVは、例えば垂直走査回路3から出力される。

【0036】また、MOSスイッチQH1~QHmのゲートには、水平走査回路8から制御パルスφH1~φHmがそれぞれ与えられる。このMOSスイッチQH1~QHmの他端側は、共通に接続されて水平駆動線7を形成する。この水平駆動線7上に出力される画像信号は、ビデオアンプ回路7aなどを介して、固体映像装置10の外部へ出力される。

【0037】また、水平駆動線7には、水平駆動線7から出力されるMOSスイッチQRSVHが接続される。これらのMOSスイッチQRSVHのゲートには、リセット用の制御パルスφRSVHが供給される。このような制御パルスφRSVHは、例えば水平走査回路8などから出力される。

【0038】次に、図1に基づいて、1行（単位画素1）の回路構成1について、具体的な回路構成1列目に位置する単位画素1について、具体的な回路構成1を説明する。なお、その他の単位画素1についても、制御パルスの添え字が異なるだけで、1行1列目の単位画素1と同様構成である。

【0039】まず、この単位画素1には、ホトダイオードPDが配置される。このホトダイオードPDのノードは、電荷転送用のMOSスイッチQTを介して、接合型電界効果トランジスタからなる増幅素子QAのゲートに接続される。この電荷転送用のMOSスイッチQTのゲートには、垂直走査回路3から出力される制御パルスφTG1が供給される。

【0040】次に、増幅素子QAのゲートは、保持中の信号電荷をリセットするためのMOSスイッチQPを介して、一定のリセット電位VRDに保たれた配線に接続される。この増幅素子QAのゲートには、垂直走査回路3から出力される制御パルスφRG1が供給される。一方、この増幅素子QAのソースは、垂直駆動線2のMOSスイッチQXを介して垂直駆動線7に接続される。このMOSスイッチQXのゲートには、垂直走査回路3から出力される制御パルスφPX1が供給される。

【0041】（本発明と第1の実施形態との対応関係）ここで、本発明と第1の実施形態との対応関係について説明する。まず、請求項1、3、7に記載の発明と第1の実施形態との対応関係については、受光部はホトダイ

オードPDに対応し、画素出力保持部は増幅素子QAに対応し、画素出力転送部は電荷転送用のMOSスイッチQTおよび信号電荷リセット用のMOSスイッチQPに対応し、画像走査回路は、（垂直走査回路3、垂直駆動線のMOSスイッチQX、垂直駆動線2、水平駆動線のMOSスイッチQH、水平駆動線7および水平走査回路8）に対応する。

【0042】請求項2に記載の発明と第1の実施形態との対応関係については、垂直駆動線7は垂直駆動線7の対応関係に、垂直走査回路3および垂直駆動線のMOSスイッチQXに対応し、水平走査回路は水平走査回路8、水平駆動線のMOSスイッチQHおよび水平駆動線7に対応する。

（第1の実施形態の動作）図2は、固体映像装置10の駆動タイミングを示す図である。ここでは説明を簡単にするために、4垂直駆動線の駆動線7の駆動タイミングを1ライン目（図2中に示す1H）の駆動タイミングを抜き出して図示する。なお、この第4垂直駆動線から以降は、第1~3垂直駆動線と同様の駆動線7の駆動線7が繰り返される。

【0043】以下、図2に沿って、各垂直駆動線における走査動作を説明する。

（a）第1垂直駆動線の走査動作  
まず、図2に示す期間t10のタイミングにおいて、制御パルスφPX1をローレベルに保持し、かつ制御パルスφRG1をローレベルに立ち下げる。この制御パルスφPX1の立ち下げにより、1行目のMOSスイッチQXが導通し、増幅素子QAのソースが垂直駆動線7に接続される。

【0044】一方、制御パルスφRG1の立ち下げにより、1行目の単位画素1では、MOSスイッチQPが導通し、増幅素子QAのゲート駆動線に接続していた前回の信号電荷が排出される。この制御パルスφRG1は、期間t10の終了間隙、再びハイレベルに立ち上げられ、インク状態になり、リセットされた状態を維持する。

【0045】次に、図2に示す期間t11のタイミングにおいて、制御パルスφTG1がローレベルに立ち下げられる。すると、1行目の単位画素1において、MOSスイッチQTが導通し、1行目のホトダイオードPDに蓄積された信号電荷が、増幅素子QAのゲート領域に転送される。この期間t11の終了間隙、制御パルスφTG1は、再びハイレベルに設定される。その結果、MOSスイッチQTは非導通状態となり、増幅素子QAのゲート領域は、信号電荷に応じて電位が上昇した状態を維持する。

【0046】この状態において、制御パルスφPX1は依然ローレベルであるため、増幅素子QAからなるソースボロウ回路を介して、1行目に並ぶ単位画素1の画素出力は、垂直駆動線7に出力される。続いて、図2

に示す期間t12のタイミングにおいて、水平走査回路8は、制御パルスφH1~φHmを立ち代わりハイレベルに設定する。

【0047】この期間t12の終了間隙、制御パルスφPX1が、ハイレベルに反転される。その結果、1行目に並ぶMOSスイッチQXは非導通状態となり、1行目の増幅素子QAが垂直駆動線7から切り離される。以上説明したような1行目に対する一連の走査動作を、その他の2~n行についても同様に行うことにより、第1垂直駆動線の駆動線7の走査が完了する。

【0048】（b）第2垂直駆動線の走査動作  
この第2垂直駆動線中、制御パルスφRG1~nおよびφTG1~nは、ハイレベルに常時設定される。そのため、全ての増幅素子QAのゲート領域は、フローティング状態を維持し、第1垂直駆動線において設定された電位をそのまま保持する。

【0049】一方、全てのホトダイオードPDのノード領域も、フローティング状態を維持し、第1垂直駆動線から続けて信号電荷を蓄積する。このような状態において、図2に示す期間t20のタイミングにおいて、制御パルスφPX1がローレベルに立ち下げられる。その結果、1行目に並ぶMOSスイッチQXは導通し、1行目の増幅素子QAのソースが、垂直駆動線7に接続される。このとき、増幅素子QAのゲート領域は、第1垂直駆動線と同じ電位に維持される。したがって、増幅素子QAのソースがボロウ回路を介して、第1垂直駆動線との画素出力が垂直駆動線7に再び出力される。

【0050】次に、図2に示す期間t21のタイミングにおいて、画素出力の水平駆動線が実行されることにより、垂直駆動線7上の画素出力が、水平駆動線7より順次出力される。この期間t21の終了間隙、制御パルスφPX1が、ハイレベルに戻される。その結果、1行目に並ぶMOSスイッチQXは非導通状態となり、1行目の増幅素子QAが垂直駆動線7から切り離される。

【0051】以上説明したような1行目に対する一連の走査動作を、その他の2~n行についても同様に行い、第1垂直駆動線の駆動線7の走査が完了する。

すことにより、第2垂直駆動線の駆動線7の走査が完了する。

（c）第3垂直駆動線の走査動作  
第2垂直駆動線と同一の走査動作を実行する。  
（d）第4垂直駆動線の走査動作  
第1垂直駆動線と同一の走査動作を実行する。

【0052】（第1の実施形態の効果など）以上説明した動作により、第1の実施形態では、第2垂直駆動線および第3垂直駆動線において、ホトダイオードPDから信号電荷を駆動線7に出力しない。そのため、ホトダイオードPDは、第1垂直駆動線から第4垂直駆動線に至るまでの期間、光電変換を継続して実行する。その結果、ホトダイオードPDにおける信号電荷の蓄積時間は、駆動線7の走査の周期の3倍に設定される。

【0053】一方、増幅素子QAは、第2垂直駆動線および第3垂直駆動線において、第1垂直駆動線と同一の画素出力を出力する。したがって、第2垂直駆動線および第3垂直駆動線においても、周期的な駆動線7の走査を遂行することなく実行することができる。このようにして、第1の実施形態では、駆動線7の走査を逐次行い、第2垂直駆動線の走査動作の蓄積時間を駆動線7の走査の周期よりも長く設定することが可能となる。

【0054】また例えば、駆動線7の走査の周期を1/30秒とすると、第1の実施形態における信号電荷の蓄積時間は、1/10秒となる。この蓄積時間は、上述した照明光の明滅周期1/100秒の10倍に相当する。したがって、図3（a）、（b）に示すように、蓄積時間当たりの受光量は、明滅周期との位相関係に依存せず、明滅周期100分の受光量に一定する。その結果、明滅する照明光の強度レベルにあっても、固体映像装置10から出力される画像信号の強度レベルはほぼ一定し、フリンカ現象を確実に解消することが可能となる。

【0055】なお、上述した第1の実施形態では、プロダクション走査により、フレーム単位の画像信号を駆出す場合について説明したが、これに限定されるものではない。例えば、飛び越し走査その他のインターレース走査を行うことにより、フィールド単位の画像信号を駆出すこともよい。また、上述した第1の実施形態では、ホトダイオードPDから増幅素子QAへ信号電荷を転送する動作を行単位に行っているが、これに限定されるものではない。例えば、縦方向の駆動線7の走査ごとに一回の割合で、垂直走査期間中に制御パルスφTG1~nを一行にローレベルに立ち下げてもよい。このような動作では、全てのホトダイオードPDから全ての増幅素子QAへ信号電荷を一括転送するので、各行ごとの蓄積時間のタイミングを一概に揃えることが可能となる。

【0056】さらに、上述した第1の実施形態では、電子シャッタ動作を行わない構成について説明したが、これに限定されるものではない。例えば、図7に示すように、個々のホトダイオードPDのノードを、信号電荷



走査動作を、その他の2～n行についても同様に行き回すことにより、第2垂直走査期間の読み出し走査が完了する。

(c) 第3垂直走査期間の走査動作  
第2垂直走査期間と同一の走査動作を実行する。

(d) 第4垂直走査期間の走査動作  
第1垂直走査期間と同一の走査動作を実行する。

【0087】(第2の実施形態の効果など)以上説明した動作について、第2の実施形態では、画像信号について、第1の実施形態と同様の効果を得ることができる。

その他、第2の実施形態では、電荷転送用のMOSスイッチQTによる信号電荷の転送動作に相前後して、画素出力の比較を行うことにより、動作電圧を効率的に生成することが可能となる。

【0088】また、第2の実施形態では、蓄積時間の設定によってフリッカ現象が抑制される。そのため、フリッカ現象に伴う輝度レベル変動を動作と見做すことがなく、高精度な動作電圧を得ることが可能となる。さらに、第2の実施形態では、比較する画素出力の間に、複数回の走査期間に相当する時間的な間きがある。そのため、低遅延に動く被写体についても、画像変化(例えば、画像中のエッジ部分の移動に伴って生じる帯状の歪み)が大きくなる。その結果、低遅延に動く被写体を、現実かつ高精度に検出することが可能となる。

【0089】なお、上述した第1および第2の実施形態では、3回の読み出し走査に1回の割合で、ボトダイオードPDから増幅素子QAへ信号電荷を積み出ししているが、これに限定されるものではない。一般的には、複数回の読み出し走査に1回の割合で信号電荷を積み出すことができる。

【0090】

【発明の効果】(請求項1、2) 請求項1または請求項2に記載の発明では、複数回の読み出し走査にかかる期間中、受光部から画素出力を積み出さない。そのため、受光部では、複数回の読み出し走査にかかると、光電変換を継続する。このような動作により、受光部の蓄積時間は、読み出し走査の周期よりも長く設定される。【0091】一方、画像走査回路は、画素出力保持部に保持された画素出力を繰り返し走査する。その結果、画素出力保持部からは、同一の画素出力が複数回ずつ読み出される。したがって、周期的な読み出し走査は途切れることなく、このように、本発明では、周期的な読み出し走査を実行しつつ、かつ受光部の蓄積時間を積み出し走査の周期よりも長くすることにより、従来のように動作を容易に実現することが可能となる。

【0092】特に、本発明における「受光部の蓄積時間が読み出し走査の周期に制限されない」という利点を生かすことにより、蓄積時間を積み出し走査の周期を超えて長く設定するなどの撮影手法(一種の増感撮影)を実現することが可能となる。また、本発明における「蓄積

結果、m個のNAND回路NAから出力される2値化信号は、シフトレジスタ9のパラレル入力端子Q1～Qmから一括して取り込まれ、シフトレジスタ9の内蔵値D1～Dmとしてそれぞれ保持される。次に、図6に示す期間t1.5のタイミングにおいて、制御パルスφSBを立ち上げることにより、MOSスイッチQB3、QB4が導通する。その結果、インバータINV3、INV4を介してコンデンサCCA、CCBが正電圧方向に充電電圧を、NAND回路NAの出力が安定化される。【0082】この状態では、シフトレジスタ9には、転送パルスφCKが順次与えられる。この転送パルスφCKの立ち上がりと同時に、シフトレジスタ9のシリアル出力からは、内蔵値D1～Dmが、動作電圧として出力される。一方、水平走査回路8は、制御パルスφH1～φHmを立ち代わりハイレベルに順次設定する。そのため、m列の垂直走査出力は、1～m列の順番で水平読み出し線7に順次接続される。その結果、水平読み出し線7上には、1行目の画像信号が順次に出力される。

【0083】なお、上述した1行目に対する一通の走査処理を、2～n行目についても順に繰り返すことにより、水平読み出し線7から画像信号が出力され、シフトレジスタ9からは動作電圧が出力される。

(b) 第2垂直走査期間の走査動作

この第2垂直走査期間中、制御パルスφRG1～nおよびφTG1～nは、ハイレベルに常時設定される。また、転送パルスφCKは休止する。

【0084】そのため、全ての増幅素子QAのゲート領域は、フローティング状態に設定され、第1垂直走査期間において設定された電位をそのまま保持する。一方、全てのボトダイオードPDのアンロード領域も、フローティング状態に設定され、第1垂直走査期間から継続して信号電荷を蓄積する。このような状態において、図6に示す期間t2.1のタイミングにおいて、制御パルスφPX1がローレベルに立ち下げられる。その結果、1行目の増幅素子QAのソースは、垂直読み出し線2に接続される。このとき、増幅素子QAのゲート領域は、第1垂直走査期間と同一電位に維持される。したがって、増幅素子QAのソースはローレベルを介して、第1垂直走査期間と同一の画素出力が垂直読み出し線2に出力される。

【0085】次に、図6に示す期間t2.5のタイミングにおいて、画素出力の水平転送動作が実行されることにより、垂直読み出し線2上の画素出力が、水平読み出し線1へ順次出力される。この期間t2.5の終了間際、制御パルスφPX1が、ハイレベルに戻される。その結果、1行目に並ぶMOSスイッチQTは非導通状態となり、1行目の増幅素子QAが垂直読み出し線2から切り離される。

【0086】以上説明したような1行目に対する一通の

【0099】(請求項7) 請求項7に記載の発明は、画素出力保持部に必要とされる機能で、電界効果トランジスタからなるソースホログ回路で実現する。そのため、単位画素当たりの回路面積が縮小し、受光部の開口率を増大させることができる。

【図面の簡単な説明】

【図1】第1の実施形態における固体撮像装置10の回路構成を示す図である。

【図2】第1の実施形態における読み出し走査を示すタイミングチャートである。

【図3】第1の実施形態におけるフリッカ現象の抑制効果を説明する図である。

【図4】第2の実施形態における固体撮像装置20の回路構成を示す図である。

【図5】真値検出回路6の回路例を示す図である。

【図6】第2の実施形態における読み出し走査を示すタイミングチャートである。

【図7】電子シャッタ機能を備えた実施形態を示す図である。

【図8】従来の動き検出用画像処理装置10を示す図である。

【図9】照明光の明滅に伴うフリッカ現象を説明する図である。

【符号の説明】

1 単位画素

2 垂直読み出し線

3 垂直走査回路

4 電流源

6 真値検出回路

7 水平読み出し線

7a ビデオアンプ回路

8 水平走査回路

9 シフトレジスタ

10 固体撮像装置

100 動き検出用画像処理装置

PD ボトダイオード

QSV1～m 垂直読み出し線2をリセットするため

のMOSスイッチ

40 QRSH 水平読み出し線7をリセットするためのMO

Sスイッチ

QH1～m 水平走査用のMOSスイッチ

QA 増幅素子

QT 電荷転送用のMOSスイッチ

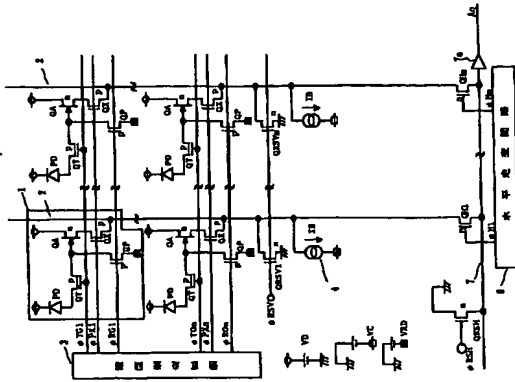
QP 保持中の信号電荷をリセットするためのMOSス

イッチ

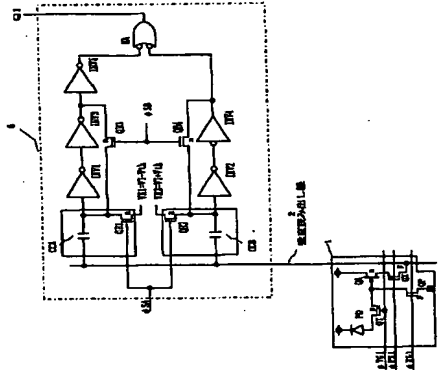
QX 垂直転送用のMOSスイッチ

【図1】

第1の実施形態（図1）は、2、3、4に示すように、  
図1の回路図（図1）は、2、3、4に示すように、  
図1の回路図（図1）は、2、3、4に示すように、

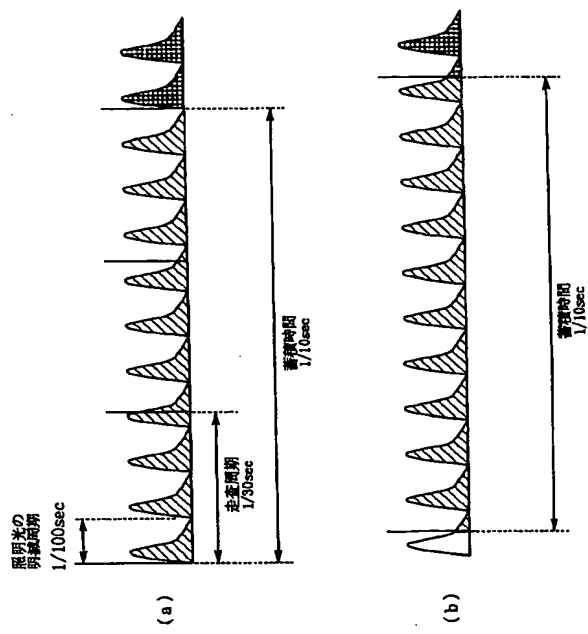


【図5】

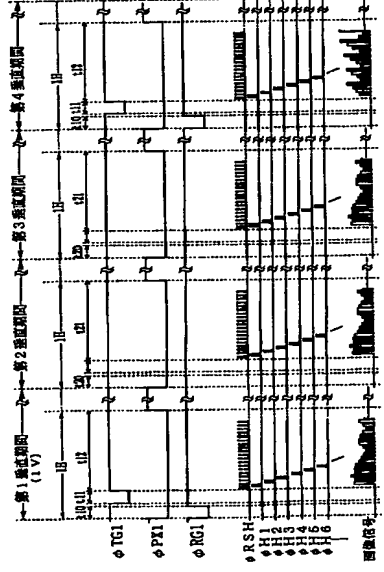


【図3】

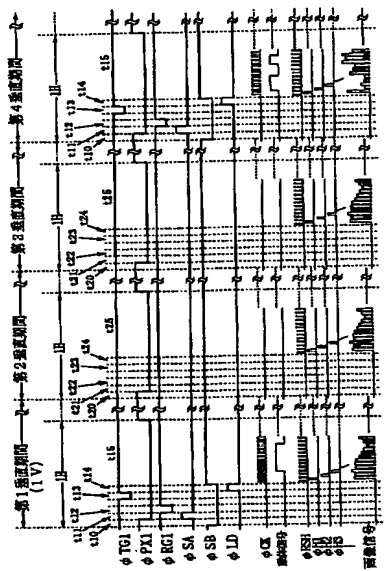
第1の実施形態におけるフリッカ現象の抑制効果を説明する図



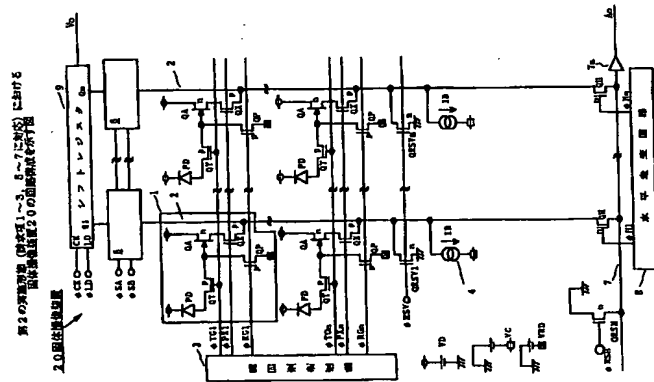
【図2】



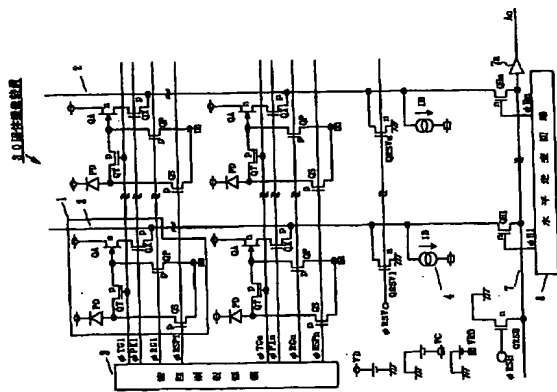
【図6】



【図4】

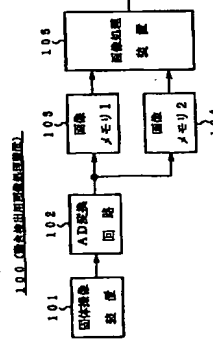


【図7】



【図8】

従来の動作回路の動作状態を示す図



【図9】

図8の動作回路に於てフリッカ現象を抑制する図

